

Schaltungsanordnung für Flugtriebwerksregler

Die Erfindung betrifft eine Schaltungsanordnung für Flugtriebwerksregler.

Als Flugtriebwerksregler kommen zunehmend digitale Regler zum Einsatz, die in der Lage sind, komplexe Regelalgorithmen innerhalb kürzester Zeit abzuarbeiten. Die digitalen Regler verdrängen zunehmend in analoger Technik ausgeführte Regler. Digitale Flugtriebwerksregler dienen insbesondere der Ansteuerung von mit Gleichstrom zu betreibenden Aktuatoren, wobei es sich bei einem solchen Aktuator z. B. um einen Torque-Motor handeln kann. Mit einem solchen Torque-Motor bzw. einem gleichstrombetriebenen Aktuator kann z. B. die Treibstoffzufuhr am Flugtriebwerk beeinflusst werden. Weitere Anwendungsbereiche, in welchen Torque-Motoren bzw. gleichstrombetriebene Aktuatoren zum Einsatz kommen, sind z. B. die Verstellung der Leitschaufeln an einem Flugtriebwerk bzw. die Düsenverstellung an Flugtriebwerken. Digitale Flugtriebwerksregler stellen in der Regel ein digitales Ausgangssignal bereit, wobei es zur Ansteuerung eines gleichstrombetriebenen Aktuators mit einem derartigen digitalen Ausgangssignal erforderlich ist, das digitale Ausgangssignal des digitalen Flugtriebwerksreglers in ein Gleichstromsignal zu wandeln.

Nach dem Stand der Technik erfolgt die Wandlung von digitalen Ausgangssignalen in ein Gleichstromsignal unter Verwendung teurer Digital/Analog-Wandler oder unter Verwendung teurer Ein-Bit-Wandler und der Verwendung analoger Verstärkerstufen. Die aus dem Stand der Technik bekannten Schaltungen sind demnach allesamt aufwendig und teuer.

Hiervon ausgehend liegt der vorliegenden Erfindung das Problem zu Grunde, eine neuartige Schaltungsanordnung für Flugtriebwerksregler zu schaffen.

Dieses Problem wird durch eine Schaltungsanordnung gemäß Patentanspruch 1 gelöst. Erfindungsgemäß dient die Schaltungsanordnung für Flugtriebwerksregler der Bereitstellung bzw. Erzeugung eines bipolaren Ausgangsgleichstromsignals als Funktion mindestens eines pulsweitenmodulierten Eingangssignals. Die Schaltungsanordnung umfasst mindestens zwei Treiberstufen, wobei jede Treiberstufe von einem pulsweitenmodulierten Eingangssignal ansteuerbar ist, und wobei die oder jede Treiberstufe mit vorzugsweise einer Tiefsetzstellerstufe derart verschaltet ist, dass bei Ansteuerung einer ersten Treiberstufe mit einem pulsweitenmodulierten Eingangssignal eine erste Schalteinrichtung einer Tiefsetzstellerstufe eine Tiefpasseinrichtung der Tiefsetzstellerstufe ansteuert, und dass bei Ansteue-

rung einer zweiten Treiberstufe mit einem pulsweitenmodulierten Eingangssignal eine zweite Schalteinrichtung der Tiefsetzstellerstufe die Tiefpasseinrichtung der Tiefsetzstellerstufe ansteuert.

Mit Hilfe der hier vorliegenden Erfindung wird eine Schaltungsanordnung für Flugtriebwerksregler zur Bereitstellung eines Ausgangsgleichstromsignals als Funktion mindestens eines pulsweitenmodulierten, digitalen Eingangssignals vorgeschlagen, welche ohne teure Digital/Analog-Wandler oder teure Ein-Bit-Wandler auskommt. Die erfindungsgemäße Schaltung erlaubt die Verwendung kleiner, preiswerter Ausgangshalbleiter. Die erfindungsgemäße Schaltung zeichnet sich durch eine geringe Baugröße, ein geringes Gewicht sowie eine hohe Zuverlässigkeit aus. Mit der hier vorliegenden Erfindung ist eine einfache Erzeugung einer variablen, steuerbaren sowie bipolaren Gleichstromquelle möglich.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den Unteransprüchen und der nachfolgenden Beschreibung. Ausführungsbeispiele der Erfindung werden, ohne hierauf beschränkt zu sein, an Hand der Zeichnung näher erläutert. Dabei zeigt:

- Fig. 1 ein Blockschaltbild eines Flugtriebwerksreglers mit der erfindungsgemäßen Schaltungsanordnung; und
- Fig. 2 ein detailliertes Blockschaltbild der erfindungsgemäßen Schaltungsanordnung.

Nachfolgend wird die hier vorliegende Erfindung unter Bezugnahme auf Fig. 1 und 2 in größerem Detail beschrieben.

Fig. 1 zeigt ein Blockschaltbild eines Flugtriebwerkreglers 10 zur Ansteuerung eines mit Gleichstrom zu betreibenden Aktuators 11. Bei dem gleichstrombetriebenen Aktuator 11 handelt es sich insbesondere um einen sogenannten Torque-Motor. Wie Fig. 1 entnommen werden kann, stellt der zu betreibende bzw. anzusteuern Aktuator 11 eine ohmsche Last und eine induktive Last dar, wobei der ohmsche Widerstand des Aktuators 11 in Fig. 1 mit R_0 und die Induktivität desselben mit L_{eq} dargestellt ist.

Die Aufgabe des Flugtriebwerkreglers besteht darin, den Aktuator 11 mit einem definierten Gleichstromsignal I_{act} anzusteuern. Hierzu wird der tatsächliche Steuerstrom gemessen und ein entsprechendes Messsignal 12 wird einem Block 13 zugeführt, wobei der Block 13 eine Differenzverstärkerstufe mit nachgeschaltetem Analog/Digital-Wandler darstellt. Das Ausgangssignal 14 des Blocks 13 stellt demnach ein digitalisiertes Messsignal

dar, welches im Flugtriebwerksregler 10 mit einem digitalen Sollsignal 15 verglichen wird. Die Regeldifferenz $\varepsilon(t)$ zwischen dem digitalisierten Messsignal 14 und dem entsprechenden Sollsignal 15 wird einem digitalen Stromregler 16 zugeführt. Der digitale Stromregler 16 ist vorzugsweise als PID-Regler ausgebildet und stellt ein Ausgangssignal I_{lin} bereit, wobei das Ausgangssignal I_{lin} in den Blöcken 17 und 18 linearisiert und in pulsweitenmodulierte Ausgangssignale D und D* des Flugtriebwerkreglers 10 gewandelt wird.

Die hier vorliegende Erfindung betrifft nun eine Schaltung 19 um aus den vom digitalen Flugtriebwerkregler 10 bereitgestellten, digitalen pulsweitenmodulierten Ausgangssignalen D und D* ein entsprechendes Gleichstromsteuersignal I_{act} zur Ansteuerung des Aktuators 11 bereitzustellen. Wie Fig. 1 entnommen werden kann, werden die pulsweitenmodulierten Ausgangssignale D, D* des Flugtriebwerkreglers 10 der erfindungsgemäßen Schaltung 19 als Eingangssignale zugeführt. Als Ausgangssignal gibt die erfindungsgemäße Schaltung 19 ein Gleichstromsignal I_{act} aus.

Die erfindungsgemäße Steuerschaltung 19 ist in Fig. 2 in größerem Detail gezeigt. Im bevorzugten Ausführungsbeispiel der Fig. 2 umfasst die erfindungsgemäße Schaltung 19 zwei Treiberstufen 20 und 21. Beide Treiberstufen 20 und 21 sind mit einer Tiefsetzstellerstufe 22 verschaltet. Wie der Fig. 2 entnommen werden kann, ist jede der beiden Treiberstufen 20 und 21 mit einem pulsweitenmodulierten Eingangssignal D bzw. D* ansteuerbar, die Tiefsetzstellerstufe 22 gibt das gewünschte Gleichstromsignal I_{act} aus.

Gemäß Fig. 2 umfasst die erste Treiberstufe 20 einen Transistor Q1, wobei an einer Basis B_{Q1} des Transistors Q1 ein pulsweitenmoduliertes Eingangssignal D unter Zwischenschaltung eines Widerstands R1 anlegbar ist. Parallel zum Widerstand R1 ist ein Kondensator C1 geschaltet. Zwischen die Basis B_{Q1} und den Emitter E_{Q1} des Transistors Q1 der ersten Treiberstufe 20 ist ein weiterer Widerstand R2 geschaltet. Am Kollektor C_{Q1} des Transistors Q1 der ersten Treiberstufe 20 greifen gemäß Figur 2 weitere Widerstände R4, R5, R6 und R7 an, die im Sinne von Fig. 2 mit einem Kondensator C2 verschaltet sind. Der Transistor Q1 der ersten Treiberstufe 20 ist als sogenannter NPN-Transistor ausgebildet.

Die zweite Treiberstufe 21 umfasst ebenfalls einen Transistor Q2. An die Basis B_{Q2} des Transistors Q2 der zweiten Treiberstufe 20 ist unter Zwischenschaltung der Widerstände R8 und R9 das pulsweitenmodulierte Signal D* anlegbar. Parallel zum Widerstand R9 ist ein Kondensator C3 geschaltet. Weiterhin sind parallel zum Widerstand R9 weitere Widerstände R10

und R11 geschaltet, wobei die Widerstände R10 und R11 ebenfalls an dem Emitter E_{Q2} des Transistors Q2 der zweiten Treiberstufe 21 angreifen. Am Kollektor C_{Q2} des Transistors Q2 der zweiten Treiberstufe 21 greifen im Sinne von Fig. 2 weitere Widerstände R12, R13, R14, R15 sowie ein weiterer Kondensator C4 an. Die genaue Verschaltung dieser Baugruppen kann Fig. 2 entnommen werden. Der Transistors Q2 der zweiten Treiberstufe 21 ist als sogenannter PNP-Transistor ausgebildet. Wie Fig. 2 entnommen werden kann, liegt an dem Emitter E_{Q2} des Transistors Q2 eine Versorgungsspannung U_{AUX} für die zweite Treiberstufe 21 an, die vorzugsweise der Versorgungsspannung der Mikroprozessors des digitalen Flugtriebwerkreglers 10 entspricht.

An dieser Stelle sei darauf hingewiesen, dass in dem Fall, in dem ein positives Gleichstromausgangssignal I_{act} bereitzustellen ist, die erste Treiberstufe 20 mit dem pulsweitenmodulierten Eingangssignal D beaufschlagt wird, die zweite Treiberstufe 21 hingegen mit einem konstanten bzw. permanenten High-Pegelsignal beaufschlagt ist. Soll ein negativer Ausgangsstrom I_{act} bereitgestellt werden, so wird die zweite Treiberstufe 21 mit dem pulsweitenmodulierten Eingangssignal D' beaufschlagt, die erste Treiberstufe 20 hingegen ist mit einem konstanten bzw. permanenten Low-Pegelsignal beaufschlagt. Soll ein Nullstrom als Ausgangssignal der Schaltung 19 bereitgestellt werden, so ist die erste Treiberstufe 20 dauerhaft bzw. permanent mit dem Low-Pegelsignal und die zweite Treiberstufe 21 dauerhaft bzw. permanent mit dem High-Pegelsignal beaufschlagt.

Wie Fig. 2 entnommen werden kann, umfasst die Tiefsetzstellerstufe 22 einen Tiefpassfilter 23, der eine Induktivität L_{TP} und einen Kondensator C_{TP} umfasst. Die Induktivität L_{TP} des Tiefpassfilters 23 arbeitet im sogenannten lückenden Betrieb. Die Tiefsetzstellerstufe 22 umfasst neben dem Tiefpassfilter 23 zwei Schalteinrichtungen.

Eine erste Schalteinrichtung wird von einem Transistor T1 und einer Diode D1 bereitgestellt, wobei die erste Schalteinrichtung aus Transistor T1 und Diode D1 mit der ersten Treiberstufe 20 zusammenwirkt. Eine zweite Schalteinrichtung der Tiefsetzstellerstufe 22 wird von einem Transistor T2 und einer Diode D2 gebildet, wobei der Transistor T2 und die Diode D2 dieser zweiten Schalteinrichtung mit der zweiten Treiberstufe 21 zusammenwirken. Wird zur Bereitstellung eines positiven Ausgangsstromsignals die erste Treiberstufe 20 mit dem pulsweitenmodulierten Signal D und die zweite Treiberstufe 21 mit einem dauerhaften High-Pegelsignal beaufschlagt, so steuert die erste Schalteinrichtung aus Transistor T1 und Diode D1 den Tiefpassfilter 23 der Tiefsetzstellerstufe 22 an. Wird hinge-

gen zur Bereitstellung eines negativen Gleichstromausgangssignals die zweite Treiberstufe 21 mit dem pulswertenmodulierten Signal D^* und die erste Treiberstufe 20 mit einem permanenten Low-Pegelsignal beaufschlagt, so steuert die zweite Schalteinrichtung bestehend aus dem Transistor T2 und der Diode D2 den Tiefpass 23 der Tiefsetzstellerstufe 22 an.

Wie Fig. 2 entnommen werden kann, ist der Transistor T1 der ersten Schalteinrichtung als sogenannter PNP-Transistor ausgebildet, wobei am Emitter E_{T1} des PNP-Transistors T1 einerseits die Widerstände R5 und R6 der ersten Treiberstufe 20 und andererseits ein positiver Versorgungsanschluss $+U_s$ für die Schaltung 19 angreift. Der Transistor T2 der zweiten Schalteinrichtung der Tiefsetzstellerstufe 22 ist hingegen als NPN-Transistor ausgebildet, wobei am Emitter E_{T2} des NPN-Transistors T2 einerseits die Widerstände R13 und R14 der zweiten Treiberstufe 21 und andererseits der negative Versorgungsanschluss $-U_s$ angreifen. Der Kollektor C_{T1} des PNP-Transistors T1 der ersten Schalteinrichtung sowie der Kollektor C_{T2} des NPN-Transistors T2 der zweiten Schalteinrichtung sind miteinander gekoppelt. An die Kollektoren C_{T1} und C_{T2} dieser beiden Transistoren T1 und T2 greift weiterhin die Induktivität L_{TP} des Tiefpassfilters 23 an.

Mit dem PNP-Transistor T1 der ersten Schalteinrichtung des Tiefsetzstellers 22 wirkt die Diode D1 zusammen. Die Diode D1 ist dabei derart mit dem NPN-Transistor T2 verschaltet, dass die Anode A_{D1} der Diode D1 am Emitter E_{T2} des Transistors T2 angreift und die Kathode K_{D1} der Diode D1 am Kollektor C_{T2} des Transistors T2 angreift. Mit dem NPN-Transistor T2 der zweiten Schalteinrichtung wirkt die Diode D2 zusammen, die gemäß Figur 2 derart mit dem Transistor T1 der zweiten Schalteinrichtung verschaltet ist, dass die Kathode K_{D2} der Diode D2 an dem Emitter E_{T1} des PNP-Transistors T1 und die Anode A_{D2} der Diode D2 an den Kollektor C_{T1} des Transistors T1 gekoppelt ist. Da die beiden Dioden D1 und D2 derart miteinander verschaltet sind, dass die Kathode K_{D1} der Diode D1 mit der Anode A_{D2} der Diode D2 gekoppelt ist, ist die Kathode K_{D1} der Diode D1 weiterhin mit dem Kollektor C_{T1} des PNP-Transistors T1 gekoppelt, die Anode A_{D2} der Diode D2 ist mit dem Kollektor C_{T2} des NPN-Transistors T2 verschaltet.

Die erfindungsgemäße Schaltungsanordnung 19 umfasst demnach zwei Treiberstufen 20 und 21, die mit einer Tiefsetzstellerstufe 22 zusammenwirken. Die Tiefsetzstellerstufe 22 umfasst für jede der Treiberstufen 20 und 21 eine Schalteinrichtung, wobei jede der beiden Schalteinrichtungen vorzugsweise von einem Transistor T1 bzw. T2 sowie einer mit dem Transistor

T1 bzw. T2 zusammenwirkenden Diode D1 bzw. D2 gebildet wird. Abhängig von der Ansteuerung der Treiberstufen 20 und 21 mit pulsweitenmodulierten Signalen D bzw. D* wird ein Tiefpassfilter 23 der Tiefsetzstellerstufe 22 entweder über die mit der ersten Treiberstufe 20 zusammenwirkende erste Schalteinrichtung aus Transistor T1 und Diode D1 oder über die mit der zweiten Treiberstufe 21 zusammenwirkende zweite Schalteinrichtung aus Transistor T2 und Diode D2 der Tiefsetzstellerstufe 22 beaufschlagt.

Sind z. B. zur Bereitstellung eines positiven Gleichstromausgangssignals I_{act} die erste Treiberstufe 20 mit dem pulsweitenmodulierten Signal D und die zweite Treiberstufe 21 mit einem permanenten High-Pegelsignal beaufschlagt, so wird der Tiefpassfilter 23 der Tiefsetzstellerstufe 22 von der mit der ersten Treiberstufe 20 zusammenwirkenden, vom Transistor T1 und der Diode D1 gebildeten Schalteinrichtung beaufschlagt. Die zweite Schalteinrichtung umfassend den Transistor T2 und die Diode D2 spielen in diesem Fall dann eine untergeordnete Rolle. Ist in diesem Fall das pulsweitenmodulierte Signal D auf einem High-Pegel, so ist der Transistor T1 der ersten Schalteinrichtung der Tiefsetzstellerstufe 22 leitend und es fließt ein entsprechender Strom in Richtung auf den Tiefpassfilter 23. Liegt hingegen das pulsweitenmodulierte Signal D auf einem Low-Pegel, so ist der Transistor T1 der ersten Schalteinrichtung geschlossen und der Drosselstrom I_{TP} im Tiefpassfilter 23 kommutiert vom Transistor T1 der Tiefsetzstellerstufe 22 auf die Diode D1 der Tiefsetzstellerstufe 22. Eine entsprechende Funktionsweise der erfindungsgemäßen Schaltung 19 ergibt sich dann, wenn zur Bereitstellung eines negativen Gleichstromausgangssignals die erste Treiberstufe 20 mit einem permanenten Low-Pegelsignal und die zweite Treiberstufe 21 mit dem pulsweitenmodulierten Signal D* beaufschlagt ist.

Patentansprüche

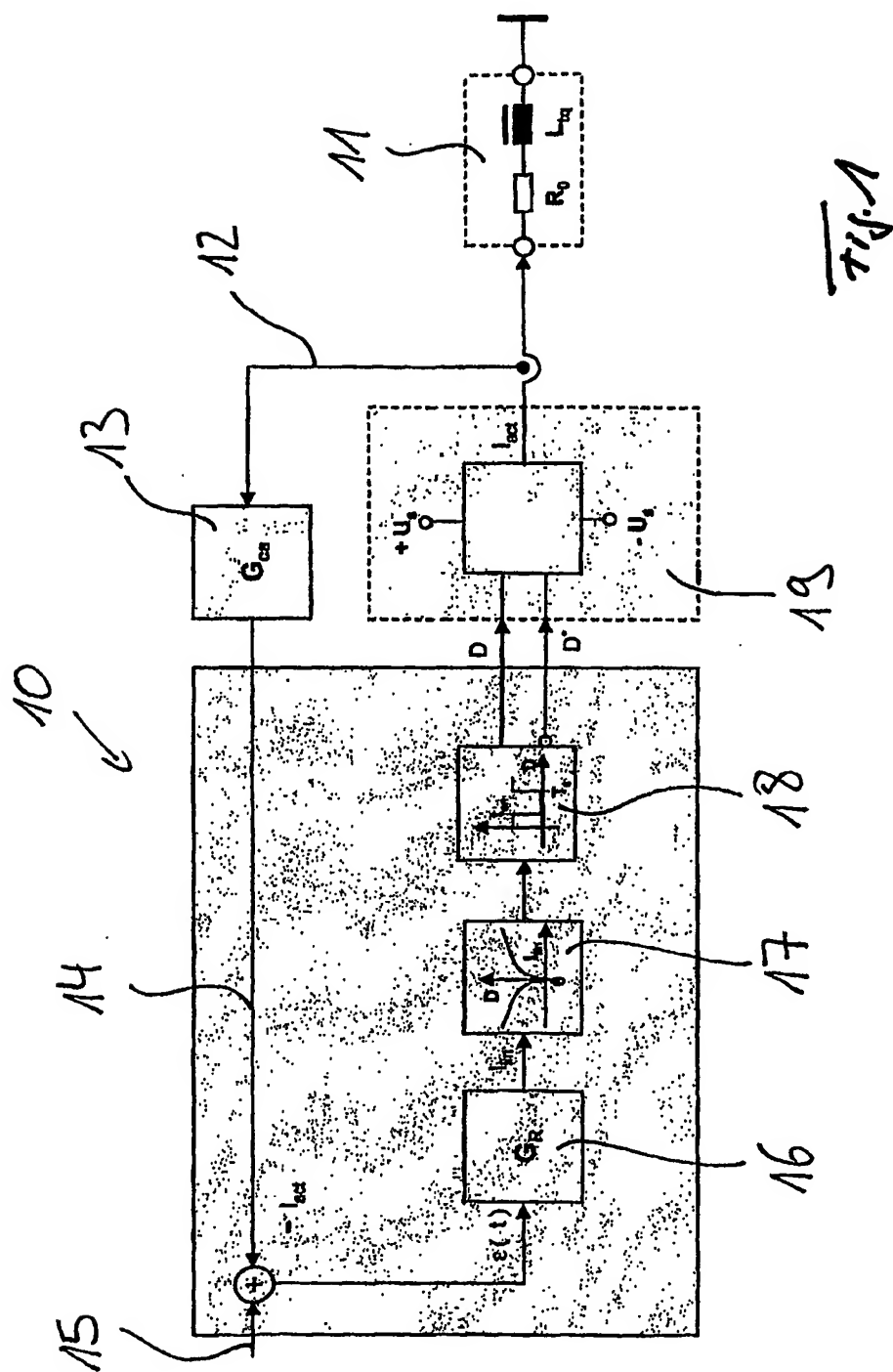
1. Schaltungsanordnung für Flugtriebwerksregler, zur Bereitstellung bzw. Erzeugung eines bipolaren Ausgangsgleichstromsignals (I_{act}) als Funktion mindestens eines pulsweitenmodulierten Eingangssignals (D , D^*), mit mindestens zwei Treiberstufen (20, 21), wobei jede Treiberstufe (20, 21) von einem pulsweitenmodulierten Eingangssignal (D , D^*) ansteuerbar ist, und wobei die oder jede Treiberstufe (20, 21) mit vorzugsweise einer Tiefsetzstellerstufe (22) derart verschaltet ist, dass bei Ansteuerung einer ersten Treiberstufe (21) eine erste Schalteinrichtung ($T1$, $D1$) einer Tiefsetzstellerstufe (22) eine Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert, und dass bei Ansteuerung einer zweiten Treiberstufe (21) eine zweite Schalteinrichtung ($T2$, $D2$) der Tiefsetzstellerstufe (22) die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert.
2. Schaltungsanordnung nach Anspruch 1, dadurch durch zwei Treiberstufen (20, 21), wobei jede der beiden Treiberstufe (20, 21) von einem pulsweitenmodulierten Eingangssignal (D , D^*) ansteuerbar ist, und wobei jede der beiden Treiberstufe (20, 21) mit einer Tiefsetzstellerstufe (22) derart verschaltet ist, dass bei Ansteuerung einer ersten Treiberstufe (20) die erste Schalteinrichtung ($T1$, $D1$) der Tiefsetzstellerstufe (22) die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert, und dass bei Ansteuerung der zweiten Treiberstufe (21) eine zweite Schalteinrichtung ($T2$, $D2$) der Tiefsetzstellerstufe (22) die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert.
3. Schaltungsanordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass jede Schalteinrichtung der Tiefsetzstellerstufe (22) zumindest einen Transistor ($T1$, $T2$) aufweist.
4. Schaltungsanordnung nach Anspruch 3, dadurch gekennzeichnet, dass mit dem Transistor ($T1$, $T2$) jeder Schalteinrichtung der Tiefsetzstellerstufe (22) eine Diode ($D1$, $D2$) zusammenwirkt.
5. Schaltungsanordnung nach einem oder mehreren der Ansprüche 2 bis 4, dadurch gekennzeichnet,

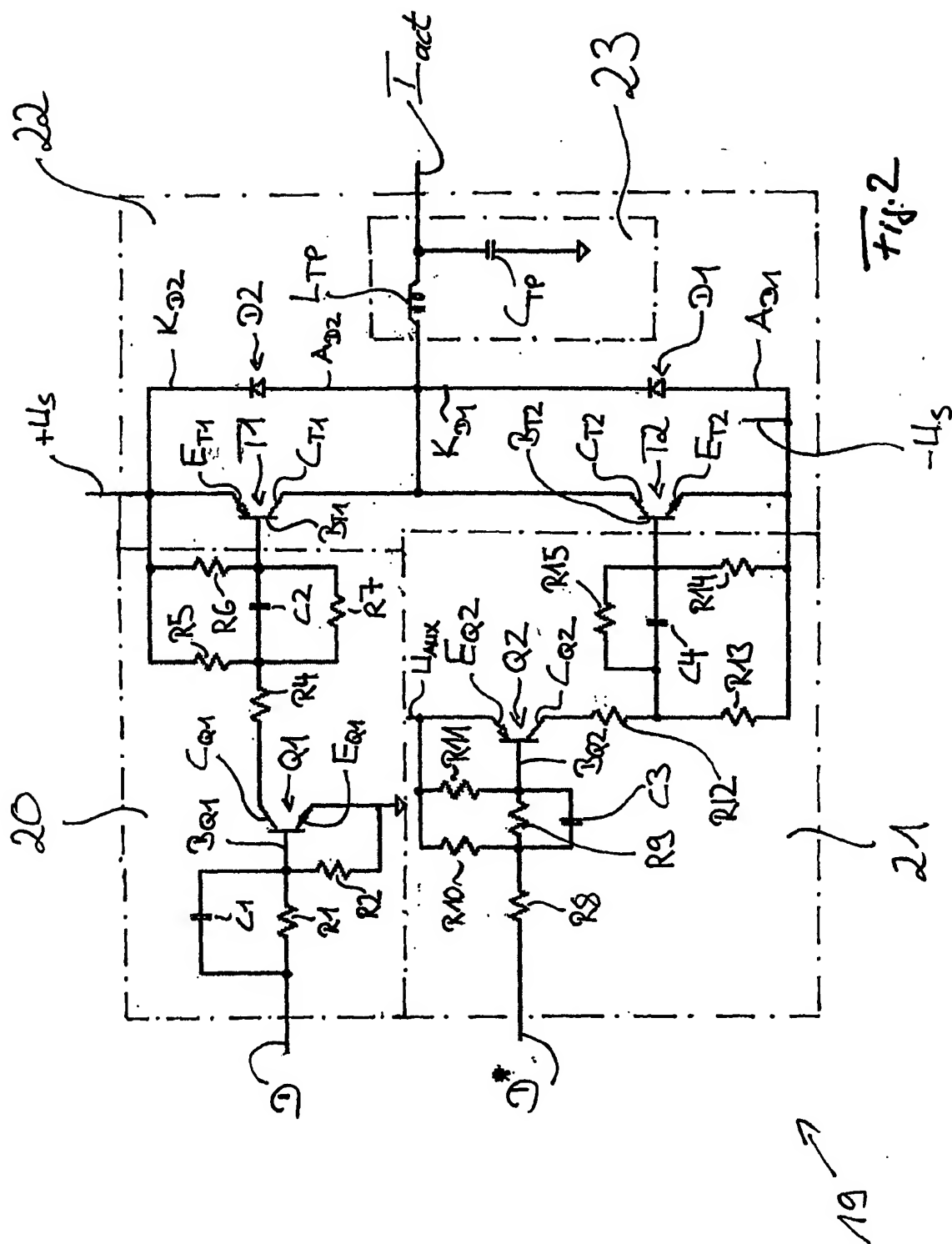
dass die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) eine im lückenden Betrieb arbeitende Induktivität (L_{TP}) ausweist.

6. Schaltungsanordnung nach einem oder mehreren der Ansprüche 2 bis 5, dadurch gekennzeichnet,
dass dann, wenn von der Schaltungsanordnung ein positives Ausgangsgleichstromsignal (I_{act}) bereitzustellen ist, die erste Treiberstufe (20) von einem pulsweitenmodulierten Eingangssignal (D) angesteuert ist, wohingegen die zweite Treiberstufe (21) mit einem dauerhaften High-Pegelsignal beaufschlagt ist, und dass dann die erste Schalteinrichtung (T1, D1) der Tiefsetzstellerstufe (22) die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert.
7. Schaltungsanordnung nach einem oder mehreren der Ansprüche 2 bis 6, dadurch gekennzeichnet,
dass dann, wenn von der Schaltungsanordnung ein negatives Ausgangsgleichstromsignal (I_{act}) bereitzustellen ist, die zweite Treiberstufe (21) von einem pulsweitenmodulierten Eingangssignal (D') angesteuert ist, wohingegen die erste Treiberstufe (20) mit einem dauerhaften Low-Pegelsignal beaufschlagt ist, und dass dann die zweite Schalteinrichtung (T2, D2) der Tiefsetzstellerstufe (22) die Tiefpasseinrichtung (23) der Tiefsetzstellerstufe (22) ansteuert.
8. Schaltungsanordnung nach einem oder mehreren der Ansprüche 2 bis 7, dadurch gekennzeichnet,
dass die erste Schalteinrichtung einen PNP-Transistor (T1) und die zweite Schalteinrichtung einen NPN-Transistor (T2) umfasst, wobei die Basis (B_{T1}) des PNP-Transistors (T1) der ersten Schalteinrichtung mit der ersten Treiberstufe (20) und die Basis (B_{T2}) des NPN-Transistors (T2) der zweiten Schalteinrichtung mit der zweiten Treiberstufe (21) gekoppelt ist, wobei der Kollektor (C_{T1}) des PNP-Transistors (T1) der ersten Schalteinrichtung mit dem Kollektor (C_{T2}) des NPN-Transistors (T2) der zweiten Schalteinrichtung gekoppelt ist, und wobei der Emitter (E_{T1}) des PNP-Transistors (T1) der ersten Schalteinrichtung an einem positiven Versorgungsspannungsanschluss ($+U_S$) und der Emitter (E_{T2}) des NPN-Transistors (T2) der zweiten Schalteinrichtung an einen negativen Versorgungsspannungsanschluss ($-U_S$) gekoppelt ist.
9. Schaltungsanordnung nach Anspruch 8, dadurch gekennzeichnet,
dass eine mit dem PNP-Transistors (T1) der ersten Schalteinrichtung

zusammenwirkende Diode (D1) derart mit dem NPN-Transistor (T2) der zweiten Schalteinrichtung verschaltet ist, dass die Kathode (K_{D1}) dieser Diode (D1) an den Kollektor (C_{T2}) des NPN-Transistors (T2) und die Anode (A_{D1}) dieser Diode (D1) an den Emitter (E_{T2}) des NPN-Transistors (T2) gekoppelt ist.

10. Schaltungsanordnung nach Anspruch 8 oder 9, dadurch gekennzeichnet, dass eine mit dem NPN-Transistors (T2) der zweiten Schalteinrichtung zusammenwirkende Diode (D2) derart mit dem PNP-Transistor (T1) der ersten Schalteinrichtung verschaltet ist, dass die Kathode (K_{D2}) dieser Diode (D2) an den Emitter (E_{T1}) des PNP-Transistors (T1) und die Anode (A_{D2}) dieser Diode (D2) an den Kollektor (E_{T1}) des PNP-Transistors (T1) gekoppelt ist.
11. Schaltungsanordnung nach Anspruch 8, 9 oder 10, dadurch gekennzeichnet, dass die Kathode (K_{D1}) der mit dem PNP-Transistor (T1) der ersten Schalteinrichtung zusammenwirkende Diode (D1) an den Kollektor (C_{T1}) des PNP-Transistors (T1) der ersten Schalteinrichtung gekoppelt ist, und dass die Anode (A_{D2}) der mit dem NPN-Transistor (T2) der zweiten Schalteinrichtung zusammenwirkende Diode (D2) an den Kollektor (C_{T2}) des NPN-Transistors (T2) der zweiten Schalteinrichtung gekoppelt ist.
12. Schaltungsanordnung nach Anspruch 8, 9 oder 10, dadurch gekennzeichnet, dass jede Treiberstufe (20, 21) einen Transistor (Q1, Q2) und mit dem Transistor verschaltete Widerstände (R1 bis R14) und Kondensatoren (C1 bis C4) aufweist.





INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE2005/000358

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H02M1/08 H02M1/084 H02M7/48 H02M7/5387

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 H02M

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 404 655 B1 (WELCHES RICHARD SHAUN) 11. Juni 2002 (2002-06-11) Absätze '0024!', '0025!; Abbildung 1 Absätze '0054!', '0059!', '0063!; ✓ Abbildungen 2,3	1
X	Spalte 8, Zeilen 36-59; Abbildungen 1-3	2-12
A	US 2003/090228 A1 (WILKENS DEAN) 15. Mai 2003 (2003-05-15) ✓ Absätze '0005!', '0020!', '0040!', '0044!', '0046!; Abbildungen 3A,B,4	1-12
A	US 2003/063482 A1 (CARSTEN BRUCE W) ✓ 3. April 2003 (2003-04-03) Absatz '0082!; Abbildungen 1,22	1-12



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

G Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

23. Mai 2005

Absenddatum des internationalen Recherchenberichts

03/06/2005

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Kanelis, K

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE2005/000358

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6404655	B1	11-06-2002 KEINE	
US 2003090228	A1	15-05-2003 EP 1442337 A2 WO 03042767 A2	04-08-2004 22-05-2003
US 2003063482	A1	03-04-2003 KEINE	